

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016212

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/66
H01L 23/12

(21)Application number : 2000-192539

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.06.2000

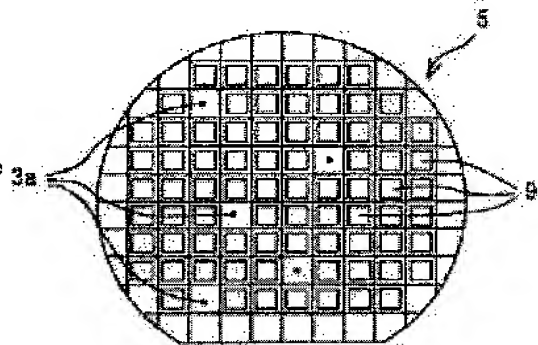
(72)Inventor : WADA KENJI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a manufacturing process and to improve the yield.

SOLUTION: A semiconductor wafer 5, having semiconductor chip formation parts 3, is prepared and the electrical characteristics of the respective semiconductor chip formation parts 3 are inspected to decide on their being normal parts or defective parts; and the other semiconductor chip 9 of at least one piece is electrically connected to each semiconductor chip formation part 3 which has been decided as being a normal part.



9 : 個片の他の半導体チップ

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報（A）

(11)特許出願公開番号
特開2002-16212
（P2002-16212A）

(43)公開日 平成14年1月18日（2002.1.18）

(51)Int.Cl. ⁷	識別記号	F I	テームト*（参考）
H 0 1 L 25/065		H 0 1 L 21/66	A 4 M 1 0 6
25/07		23/12	5 0 1 P
25/18		25/08	Z
21/66			B
23/12	5 0 1		

審査請求 未請求 請求項の数20 O L （全 16 頁）

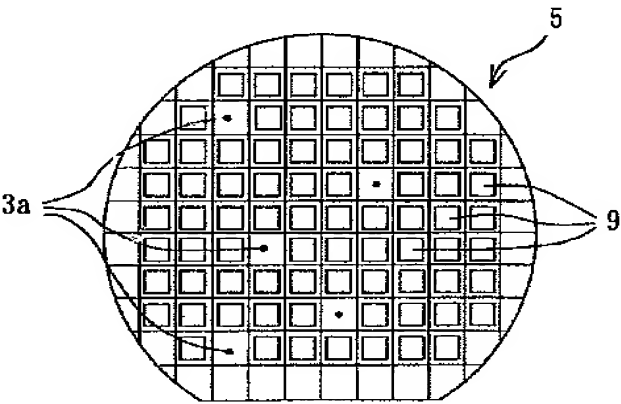
(21)出願番号	特願2000-192539(P2000-192539)	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成12年6月27日(2000.6.27)	(72)発明者	和田 健嗣 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	100061273 弁理士 佐々木 宗治 （外3名） Fターム(参考) 4M106 AA01

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 製造工程の簡略化が図れ、かつ歩留まりを向上させることができるようにする。

【解決手段】 複数の半導体チップ形成部3を備えた半導体ウエハ5を用意し、それぞれの半導体チップ形成部3について電気的特性検査を行い、良品部分または不良品部分の判定を行い、良品部分と判定された各半導体チップ形成部3に、少なくとも一つの個片の他の半導体チップ9を電気的に接続する。



9：個片の他の半導体チップ

【特許請求の範囲】

【請求項 1】 複数の半導体チップ形成部を備えた半導体ウエハを用意する工程と、
それぞれの前記半導体チップ形成部について電気的特性検査を行い、良品部分または不良品部分の判定を行う工程と、
良品部分と判定された各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップを電氣的に接続する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
前記個片の他の半導体チップは、予め電気的特性検査が行われ、良品と判定された半導体チップであることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体装置の製造方法において、
前記良品部分と判定された各半導体チップ形成部に少なくとも一つの前記個片の他の半導体チップを電氣的に接続する工程を、ワイヤボンディングにより行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 又は請求項 2 記載の半導体装置の製造方法において、
前記良品部分と判定された各半導体チップ形成部に少なくとも一つの前記個片の他の半導体チップを電氣的に接続する工程を、フェイスダウンボンディングにより行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 又は請求項 2 記載の半導体装置の製造方法において、
前記良品部分と判定された各半導体チップ形成部に前記個片の他の半導体チップを電氣的に接続する工程において、
2つ以上の前記個片の他の半導体チップを用意し、
少なくとも一つの前記個片の他の半導体チップの電氣的接続は、ワイヤボンディングにより行い、
残りの前記個片の他の半導体チップの電氣的接続は、フェイスダウンボンディングにより行うことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 3 乃至請求項 5 のいずれかに記載の半導体装置の製造方法において、
前記各半導体チップ形成部に前記個片の他の半導体チップを電氣的に接続した後、少なくとも、前記各半導体チップ形成部と前記個片の他の半導体チップとの接続部を樹脂モールドにより保護する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至請求項 6 のいずれかに記載の半導体装置の製造方法において、
前記個片の他の半導体チップが電氣的に接続された前記半導体ウエハを、前記各半導体チップ形成部ごとに個片に切断することを特徴とする半導体装置の製造方法。

【請求項 8】 電極を有する複数の半導体チップ形成部を備えた半導体ウエハを用意する工程と、
前記各半導体チップ形成部に、貫通穴を形成し、前記貫通穴を介して、前記半導体チップ形成部の少なくとも電極が形成された一方の面から、前記一方の面に対向する他方の面に延在するように導電層を形成する工程と、
前記各半導体チップ形成部の電気的特性検査を行い、良品部分または不良品部分の判定を行う工程と、
良品部分と判定された各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップを電氣的に接続する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、
前記個片の他の半導体チップは、予め電気的特性検査が行われ、良品と判定された半導体チップであることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 又は請求項 9 記載の半導体装置の製造方法において、
前記良品部分と判定された各半導体チップ形成部に少なくとも一つの前記個片の他の半導体チップを電氣的に接続する工程を、ワイヤボンディングにより行うことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 8 又は請求項 9 記載の半導体装置の製造方法において、
前記良品部分と判定された各半導体チップ形成部に少なくとも一つの前記個片の他の半導体チップを電氣的に接続する工程を、フェイスダウンボンディングにより行うことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 8 又は請求項 9 記載の半導体装置の製造方法において、
前記良品部分と判定された各半導体チップ形成部に前記個片の他の半導体チップを電氣的に接続する工程において、
2つ以上の前記個片の他の半導体チップを用意し、
少なくとも一つの前記個片の他の半導体チップの電氣的接続は、ワイヤボンディングにより行い、
残りの前記個片の他の半導体チップの電氣的接続は、フェイスダウンボンディングにより行うことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 10 乃至請求項 12 のいずれかに記載の半導体装置の製造方法において、
前記各半導体チップ形成部に前記個片の他の半導体チップを電氣的に接続した後、少なくとも、前記各半導体チップ形成部と前記個片の他の半導体チップとの接続部を樹脂モールドにより保護する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 8 乃至請求項 13 のいずれかに記載の半導体装置の製造方法において、
前記個片の他の半導体チップが電氣的に接続された前記

半導体ウエハを、前記各半導体チップ形成部ごとに個片に切断することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 8 乃至請求項 14 のいずれかに記載の半導体装置の製造方法において、前記半導体チップ形成部の少なくとも一方の面に応力緩和層を形成した後、前記導電層を前記応力緩和層上に形成することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 8 乃至請求項 14 のいずれかに記載の半導体装置の製造方法において、前記半導体チップ形成部における前記導電層上に、外部電極を形成することを特徴とする半導体装置の製造方法。

【請求項 17】 複数の半導体チップ形成部を有する半導体ウエハと、前記半導体ウエハの少なくとも一つの半導体チップ形成部に、少なくとも一つの個片の他の半導体チップが電気的に接続されてなることを特徴とする半導体装置。

【請求項 18】 請求項 17 記載の半導体装置において、前記半導体ウエハにおける前記個片の他の半導体チップが電気的に接続された半導体チップ形成部は、予め電気的特性検査が行われ、良品と判定されたことを特徴とする半導体装置。

【請求項 19】 電極を有する複数の半導体チップ形成部を備えた半導体ウエハであって、前記各半導体チップ形成部において、貫通穴が形成され、前記貫通穴を介して、前記半導体チップ形成部の少なくとも電極が形成された一方の面から前記一方の面に対向する他方の面に延在してなる導電層を有する半導体ウエハと、前記半導体ウエハの各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップが電気的に接続されてなることを特徴とする半導体装置。

【請求項 20】 請求項 19 記載の半導体装置において、前記個片の他の半導体チップが前記導電層を介して、前記半導体チップ形成部と電気的に接続されてなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、三次元実装型の半導体装置とその製造方法に関する。

【0002】

【従来の技術】 近年、複数の半導体装置を積層した、三次元実装型の半導体装置が開発されている。従来、三次元実装型の半導体装置は、半導体ウエハから個々に切断された半導体チップ相互を積層してなるもの、又はチップ形成部を有する半導体ウエハ相互を貼り合わせた後、個片に切断してなるものなどがあつた。

【0003】

【発明が解決しようとする課題】 しかしながら、半導体

ウエハから個片に切断された半導体チップ相互を積層する前者の場合、例えばベースとなる半導体チップそれぞれの位置合わせ等が必要で、工程数が増えざるを得ない。

【0004】 また、半導体チップ形成部を有する半導体ウエハ相互を貼り合わせた後、個片に切断する後者の場合、貼り合わせる半導体ウエハそれぞれに不良半導体チップ形成部が存在し、その位置が特定できていても、半導体ウエハ相互の貼り合わせのため、これら不良半導体チップ形成部の貼り合わせを避けることができず、貼り合わせてから各半導体チップ形成部を個片に切断した後、良品と不良品の選別を行っている。この不良半導体チップ形成部は、貼り合わせる半導体ウエハの一方にのみ存在していても、不良品の発生を招いてしまうため、歩留まりが悪くなるのを避けられない。

【0005】 本発明の技術的課題は、製造工程の簡略化が図れ、かつ歩留まりを向上させることができるようにすることにある。

【0006】

【課題を解決するための手段】 (1) 本発明に係る半導体装置の製造方法は、複数の半導体チップ形成部を備えた半導体ウエハを用意する工程と、それぞれの前記半導体チップ形成部について電気的特性検査を行い、良品部分または不良品部分の判定を行う工程と、良品部分と判定された各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップを電気的に接続する工程と、を含むことを特徴としている。

【0007】 前記 (1) の発明においては、前記半導体ウエハの良品と判定された各半導体チップ形成部にのみ個片の他の半導体チップを積層し電気的に接続する。したがって、不良品の半導体チップ形成部に個片の他の半導体チップが積層されることがなく、無駄が無く、歩留まりが向上するとともに、各半導体チップ形成部を個片に切断する前の半導体ウエハの段階で個片の他の半導体チップの積層が行われるので、製造工程が簡略化される。

【0008】 (2) 本発明に係る半導体装置の製造方法において、前記 (1) の個片の他の半導体チップは、予め電気的特性検査が行われ、良品と判定された半導体チップを使用する。

【0009】 (3) 本発明に係る半導体装置の製造方法において、前記 (1) 又は (2) の良品部分と判定された各半導体チップ形成部への少なくとも一つの個片の他の半導体チップの電気的接続を、ワイヤボンディングにより行うようにしてもよい。

【0010】 (4) 本発明に係る半導体装置の製造方法において、前記 (1) 又は (2) の良品部分と判定された各半導体チップ形成部への少なくとも一つの個片の他の半導体チップの電気的接続を、フェイスダウンボンディングにより行うようにしてもよい。

【0011】(5) 本発明に係る半導体装置の製造方法において、前記(1)又は(2)の良品部分と判定された各半導体チップ形成部への個片の他の半導体チップの電気的接続に際し、2つ以上の個片の他の半導体チップを用意し、少なくとも一つの個片の他の半導体チップの電気的接続は、ワイヤボンディングにより行い、残りの個片の他の半導体チップの電気的接続は、フェイスダウンボンディングにより行うようにしてもよい。

【0012】(6) 本発明に係る半導体装置の製造方法において、前記(3)～(5)の各半導体チップ形成部に個片の他の半導体チップを電気的に接続した後、少なくとも、各半導体チップ形成部と個片の他の半導体チップとの接続部を樹脂モールドにより保護する工程を含んでもよい。

【0013】(7) 本発明に係る半導体装置の製造方法において、前記(1)～(6)の個片の他の半導体チップが電気的に接続された半導体ウエハを、各半導体チップ形成部ごとに個片に切断する工程を含んでもよい。

【0014】(8) 本発明に係る半導体装置の製造方法は、電極を有する複数の半導体チップ形成部を備えた半導体ウエハを用意する工程と、前記各半導体チップ形成部に、貫通穴を形成し、前記貫通穴を介して、前記半導体チップ形成部の少なくとも電極が形成された一方の面から、前記一方の面に対向する他方の面に延在するように導電層を形成する工程と、前記各半導体チップ形成部の電気的特性検査を行い、良品部分または不良品部分の判定を行う工程と、良品部分と判定された各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップを電気的に接続する工程と、を含むことを特徴としている。

【0015】前記(8)の発明においては、半導体チップ形成部の少なくとも電極が形成された一方の面から、前記一方の面に対向する他方の面に延在するように導電層が形成された半導体ウエハの、良品と判定された各半導体チップ形成部にのみ個片の他の半導体チップを積層し電気的に接続する。したがって、電気的信頼性が高く、かつ不良品の半導体チップ形成部に個片の他の半導体チップが積層されることがなく、無駄が無く、歩留まりが向上するとともに、各半導体チップ形成部を個片に切断する前の半導体ウエハの段階で個片の他の半導体チップの積層が行われるので、製造工程が簡略化される。

【0016】(9) 本発明に係る半導体装置の製造方法において、前記(8)の個片の他の半導体チップは、予め電気的特性検査が行われ、良品と判定された半導体チップを使用する。

【0017】(10) 本発明に係る半導体装置の製造方法は、前記(8)又は(9)の良品部分と判定された各半導体チップ形成部への少なくとも一つの個片の他の半導体チップの電気的接続を、ワイヤボンディングにより行うようにしてもよい。

【0018】(11) 本発明に係る半導体装置の製造方法において、前記(8)又は(9)の良品部分と判定された各半導体チップ形成部への少なくとも一つの個片の他の半導体チップの電気的接続を、フェイスダウンボンディングにより行うようにしてもよい。

【0019】(12) 本発明に係る半導体装置の製造方法において、前記(8)又は(9)の良品部分と判定された各半導体チップ形成部への個片の他の半導体チップの電気的接続に際し、2つ以上の個片の他の半導体チップを用意し、少なくとも一つの個片の他の半導体チップの電気的接続は、ワイヤボンディングにより行い、残りの個片の他の半導体チップの電気的接続は、フェイスダウンボンディングにより行うようにしてもよい。

【0020】(13) 本発明に係る半導体装置の製造方法において、前記(10)～(12)の各半導体チップ形成部に個片の他の半導体チップを電気的に接続した後、少なくとも、各半導体チップ形成部と個片の他の半導体チップとの接続部を樹脂モールドにより保護する工程を含んでもよい。

【0021】(14) 本発明に係る半導体装置の製造方法において、前記(8)～(13)の個片の他の半導体チップが電気的に接続された半導体ウエハを、各半導体チップ形成部ごとに個片に切断する工程を含んでもよい。

【0022】(15) 本発明に係る半導体装置の製造方法において、前記(8)～(14)の半導体チップ形成部の少なくとも一方の面に応力緩和層を形成した後、前記導電層を前記応力緩和層上に形成するようにしてもよい。

【0023】(16) 本発明に係る半導体装置の製造方法において、前記(8)～(14)の半導体チップ形成部における導電層上に、外部電極を形成するようにしてもよい。

【0024】(17) 本発明に係る半導体装置は、複数の半導体チップ形成部を有する半導体ウエハと、前記半導体ウエハの少なくとも一つの半導体チップ形成部に、少なくとも一つの個片の他の半導体チップが電気的に接続されてなるものである。

【0025】(18) 本発明に係る半導体装置において、前記(17)の半導体ウエハにおける個片の他の半導体チップが電気的に接続された半導体チップ形成部は、予め電気的特性検査が行われ、良品と判定された半導体チップ形成部を使用する。

【0026】前記(17)～(18)の発明においては、半導体ウエハの良品と判定された各半導体チップ形成部にのみ個片の他の半導体チップが積層されて電気的に接続されている。したがって、不良品の半導体チップ形成部に個片の他の半導体チップが積層されず、無駄が無く、歩留まりが向上する。

【0027】(19) 本発明に係る半導体装置は、電極

を有する複数の半導体チップ形成部を備えた半導体ウエハであって、前記各半導体チップ形成部において、貫通穴が形成され、前記貫通穴を介して、前記半導体チップ形成部の少なくとも電極が形成された一方の面から前記一方の面に対向する他方の面に延在してなる導電層を有する半導体ウエハと、前記半導体ウエハの各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップが電氣的に接続されてなるものである。

【0028】(20) 本発明に係る半導体装置において、前記(19)の個片の他の半導体チップを、前記導電層を介して前記半導体チップ形成部と電氣的に接続するようにしてもよい。

【0029】

【発明の実施の形態】実施形態1. 以下、図示実施形態に基づき本発明を説明する。図1乃至図3は本発明の第1実施形態に係る半導体装置の製造工程を示すベースとなる半導体ウエハの平面図で、図1は複数の半導体チップ形成部を有する状態、図2は各半導体チップ形成部の電氣的特性検査を行って不良部分に“BAD”マークを付けた状態、図3は良品と判定された各半導体チップ形成部に個片の他の半導体チップを積層し電氣的に接続した状態、をそれぞれ示している。図4はこの第1実施形態に係る半導体装置を拡大して示す断面図であり、図3の各半導体チップ形成部を個片に切断して得られたものである。

【0030】本実施形態に係る半導体装置1は、三次元実装型のもので、電極2を有し、貫通穴4が形成されて、電氣的特性検査により選別された良品半導体チップ形成部3を半導体ウエハ5から切断してなるベース6と、ベース6の一方の面(ここでは非能動面A)に部分的に形成された応力緩和層20と、前記貫通穴4の内壁面を含み、電極2から応力緩和層20の上にかけて形成された導電層8と、応力緩和層20の上の導電層上に形成された外部電極となるハンダボール24と、ベース6の他方の面(ここでは能動面B)に積層固定されて電氣的に接続された個片の他の半導体チップ9とを有している。

【0031】電極2には、絶縁膜10を介して貫通穴4と連通する穴12が形成されている。導電層8は、電極2の少なくとも一部に積層して形成され、またその一部が外部との電氣的な接続部14となっている。貫通穴4の内側において、導電層8の下には絶縁膜10が形成され、ベース6の内部に形成された集積回路との電氣的接続を遮断している。そして、導電層8によって、ベース6の非能動面Aと能動面Bとの間の電氣的な接続が図られている。

【0032】個片の他の半導体チップ9は、当該チップ9の非能動面aをベース6の能動面Bに向けた状態に積層され、ダイボンド剤11によってベース6の能動面B側に固定されている。そして、当該チップ9の能動面b

の電極13とベース6の能動面Bの電極すなわち接続部14との間がワイヤボンディングにより電氣的に接続されていて、ワイヤボンディング部が樹脂モールドによる保護層15で覆われている。

【0033】ベース6は、図示しないトランジスタやメモリ素子などからなる集積回路が形成された表面に絶縁膜(層間膜)16を有する。絶縁膜16は、半導体チップの基本的な材料であるシリコンの酸化膜であることが多い。絶縁膜16上には電極(パッド)2が形成され、電極2は図示しない部分で集積回路と電氣的に接続されている。電極2は、アルミニウムで形成されることが多い。電極2は、ベース6の面の少なくとも1片(多くの場合、2辺又は4辺)に沿って並んでいる。また、電極2は、ベース6の面の端部に並んでいる場合と、中央部に並んでいる場合がある。

【0034】導電層8の一部は、非能動面Aにおいて、再配置配線18を形成し、再配置配線18の末端がポリイミド等の樹脂で形成された応力緩和層20の表面を覆っていて、この部分が台座22を形成している。そして、この台座22の上に、外部電極となるハンダボール24が形成され、ハンダボール24を除く部分がソルダレジスト層26で覆われている。ソルダレジスト層26は、酸化防止膜として、また最終的に半導体装置となったときの保護膜としてや、更には防湿性の向上を目的とした保護膜となるものである。

【0035】次に、前述した半導体装置1を製造する方法について、図1乃至図3、及び図8乃至図11の工程図に基づき、図4を参照しながら説明する。

【0036】まず、ベース6の作成手順について図8乃至図11に基づき図1乃至図3を参照しながら説明すると、図8(a)に示すように個片ベース6に切断する前の半導体ウエハ5には、表面に絶縁膜16が形成され、絶縁膜16上に電極2の下層部2aが形成されている。そして、下層部2aの端部には、絶縁膜28が下層部2a上に積層され、電極2の上層部2bが絶縁膜28上に至るように形成されている。また、電極2の中央部をさけて端部を覆って、パッシベーション膜30が形成されている。パッシベーション膜30は、例えば、 SiO_2 、 SiN 、ポリイミド樹脂などで形成することができる。

【0037】まず、半導体ウエハ5の能動面B、つまり電極2が形成された面に、電極2も覆ってレジスト32を形成する。レジスト32を形成する方法としては、スピンコート法、ディッピング法、スプレーコート法等の方法を用いることが可能である。レジスト32は、後述するエッチング工程でエッチングしない部分を覆うものであり、フォトリソ、電子線レジスト、X線レジストのいずれであってもよく、ポジ型又はネガ型のいずれであってもよい。本実施形態で使用するレジスト32は、ポジ型のフォトリソレジストである。レジスト32は、

コーティング後に、他の部材に付着しないようにするため、プリベークして溶剤を飛ばす。

【0038】次いで、図8(b)に示すようにレジスト32をパターンニングする。詳しくは、レジスト32上にマスクを配置して、エネルギーを照射する。エネルギーは、レジスト32の性質によって異なり、光、電子線、X線のいずれかである。本実施形態ではフォトリソレジスト32を使用し露光する。マスクの形状は、パターンニング形状によって決まり、レジスト32がポジ型であるかネガ型であるかによって反転形状となる。

【0039】露光後、レジスト32を現像しポストベークする。パターンニングされたレジスト32には、電極2の中央部を露出させる開口部34が形成されている。

【0040】図8(c)に示すようにレジスト32の開口部34によって露出した電極2の中央部をエッチングする。エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング(RIE)であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。こうして、電極2の中央部(端部を除く部分)に、穴36を形成する。穴36は、前述の図1で説明した貫通穴4となる位置に形成される。詳しくは、穴36は、貫通穴4の開口端部とほぼ同じか、あるいはそれ以上の大きさで形成され、貫通穴4と連通する。

【0041】そして、レジスト32を剥離した後、図8(d)に示すように半導体ウエハ5の電極2が形成された側(能動面B側)と、その反対側(非能動面A側)に絶縁膜38、40を形成する。絶縁膜38、40は、シリコン酸化膜や窒化膜であってもよく、化学気相堆積(CVD)によって形成することができる。能動面B側の絶縁膜38は、電極2及びパッシベーション膜30を覆う。電極2には穴36が形成されているので、絶縁膜38は、穴36の内部(内壁面及び露出した絶縁膜16)も覆う。

【0042】次いで、図8(e)に示すように半導体ウエハ5の能動面B側と、非能動面A側に、レジスト42、44を形成した後、これらレジスト42、44をパターンニングして、前述の図1で説明した貫通穴4となる位置に開口部46、48を形成する。開口部46は、穴36と開口部46との間に絶縁膜38が存在するように、電極2の穴36の内側に形成する。したがって、開口部46、48は、絶縁膜38、40の一部を露出させる。なお、レジスト42、44の形成及びそのパターンニングの方法は、前述したレジスト32について説明した内容が該当する。レジスト42、44のうち一方(例えばレジスト42)を(例えば半導体ウエハ5の能動面B側に)形成し、プリベークしてから、他方(例えばレジスト44)を形成し、これをプリベークしてもよい。

【0043】図8(f)に示すように、絶縁膜16、38に、電極2の穴36の内側に穴50を形成し、絶縁膜

40に穴52を形成する。

【0044】図8(g)に示すように、レジスト42、44を剥離する。そして、図9(a)に示すように、半導体ウエハ5の穴50、52にて露出した部分をエッチングする。このエッチングする部分は、集積回路が形成されていない部分であり、シリコンで形成されている。このエッチングによって、半導体ウエハ5の表面に、視覚的に認識しやすい窪み54、56を形成する。窪み54、56の形状は、特に限定されず、テーパが付された形状であってもよいし、表面と垂直な壁面を有していてもよい。エッチングは、ウェットエッチングを適用することが簡単であるが、ドライエッチングを適用してもよい。エッチングの種類によって、窪み54、56の形状が決まる。

【0045】図9(b)に示すように、半導体ウエハ5に、小孔58(例えば直径約20 μ m)を形成する。小孔58は、前述の図1で説明した貫通穴4よりも小さい径で、貫通穴4の中心に形成する。小孔58の形成には、レーザ(例えばYAGレーザやCO₂レーザ)を使用することができる。レーザビームは、前述した窪み54、56で位置を認識して照射することができる。レーザビームを、半導体ウエハ5の一方の面からのみ照射して小孔58を形成してもよいし、半導体ウエハ5の両面から(順番にあるいは同時に)レーザビームを照射してもよい。両面からレーザビームを照射すれば、半導体ウエハ5に与える影響が少ない。

【0046】図9(c)に示すように、半導体ウエハ5に貫通穴4を形成する。貫通穴4は、前述した小孔58を拡大させて形成する。例えば、ウェットエッチングを適用して、小孔58の内壁面をエッチングしてもよい。エッチング液として、例えば、沸酸と沸化アンモニウムを混合した水溶液(バッファード沸酸)を用いてもよい。

【0047】貫通穴4は、ここでは軸方向の全ての部分で開口断面がほぼ同じ径となるように形成しているが、この貫通穴を、例えば開口端部と、開口端部よりも径の大きい中間部(例えば約40~50 μ mの径)と、を有する形状に形成してもよい。このように貫通穴の中間部の径をできるだけ大きくすれば、後述するCVDや無電解メッキを行いやすくなる。本例のように貫通穴4をストレート状に形成すれば、貫通穴4を形成することによる半導体ウエハ5の強度の低下を抑えることができる。なお、貫通穴4は、開口端部と中間部とを接続するテーパ部を有していてもよい。テーパ部も、小孔58をウェットエッチングで拡大することで形成される。

【0048】次に、図9(d)に示すように、少なくとも貫通穴4の内壁面に絶縁膜10を形成する。絶縁膜10の形成には、CVDを適用してもよい。絶縁膜10は、貫通穴4の内壁面以外の領域に形成されてもよい。例えば、絶縁膜38、40上に絶縁膜10が形成されて

もよい。ただし、絶縁膜 10 によって、貫通穴 4 の開口を塞がないようにする。

【0049】次に、図 9 (e) に示すように、半導体ウエハ 5 の能動面 B 側に、半導体ウエハ 5 の貫通穴 4 の、一方の開口を塞ぐようにレジスト 64 を形成した後、レジスト 64 をパターンニングして、開口部 68 を形成する。なお、レジスト 64 を形成するときに、非能動面 A 側にもレジスト 66 が形成されてもよい。そして、レジスト 64、66 をプリベークする。レジスト 64、66 の形成及びそのパターンニングの方法は、前述したレジスト 32 について説明した内容を適用することができる。開口部 68 は、電極 2 の少なくとも一部の上方に形成されているが、貫通穴 4 の上方には、レジスト 64 の一部が残されたままとなっている。例えば、開口部 68 は、電極 2 の範囲内に収まる形状の外周と、少なくとも貫通穴 4 の開口端部を覆う形状の内周と、の間にリング状に形成されている。なお、ここでいうリング状とは角リング状であっても丸リング状であってもよい。開口部 68 は、絶縁膜 10 の一部を露出させる。

【0050】次いで、図 9 (f) に示すように、パターンニングされたレジスト 64 をマスクとして、絶縁膜 10、38 をエッチングして、電極 2 の一部を露出させる。ここで露出する電極 2 の一部は、電気的な接続を図る部分であるから、大きいことが好ましい。その後、図 9 (g) に示すように、レジスト 64、66 を剥離する。

【0051】次に、図 10 (a) に示すように、半導体ウエハ 5 の非能動面 A 側に、感光性のポリイミド樹脂を塗布して（例えば「スピンコーティング法」にて）樹脂層 70 を形成する。樹脂層 70 は、1~100 μm の範囲、更に好ましくは 10 μm 程度の厚みで形成されることが好ましい。なお、スピンコーティング法では、無駄になるポリイミド樹脂が多いので、ポンプによって帯状にポリイミド樹脂を吐出する装置を使用してもよい。このような装置として、例えば FAS 社製の FAS 超精密吐出型コーティングシステム（米国特許第 4696885 号参照）などがある。なお、この樹脂層 70 が、前述の図 1 で説明した応力緩和層 20 としての機能を有する。

【0052】図 10 (b) に示すように、前記樹脂層 70 を、露光、現像及び焼成処理によって、後述の再配置配線の台座となる部分すなわち応力緩和層 20 を残し除去する。

【0053】なお、ここでは応力緩和層 20 となる樹脂に感光性ポリイミド樹脂を用いた場合を例に挙げて説明したが、感光性のない樹脂を用いても良い。例えばシリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等、固化したときのヤング率が低く（ 1×10^{10} Pa 以下）、応力緩和の働きを果たせる材質を用いると良い。非感光性の樹脂を用いた場合には、その後

にフォトリソストを用いてフォト工程を経て所定の形状を形成させる。

【0054】次に、導電層を形成するために、半導体ウエハ 5 の能動面 B 側と非能動面 A 側にレジストを形成した後、パターンニングし、プリベークする。その後、図 10 (c) に示すように、能動面 B 側に電気的な接続部 14 を有するとともに、非能動面 A 側に再配置配線 18 及び応力緩和層 20 の表面を覆う台座 22 を有し、かつ貫通穴 4 の内壁面（ここでは貫通穴 4 内の絶縁膜 10 表面）をも含む領域に導電層 8 を形成する。

【0055】この導電層 8 の形成工程を更に詳述すると、まず半導体ウエハ 5 の能動面 B 側と非能動面 A 側にレジストを形成する。能動面 B 側のレジストは、段差の大きい領域に形成されるため、予めフィルム状をなしたものの（ドライフィルム）であることが好ましい。

【0056】次いで、半導体ウエハ 5 の能動面 B 側と非能動面 A 側のレジストをパターンニングして、貫通穴 4 と連通する開口部と、この開口部に連なる再配置配線パターンを形成する。能動面 B 側の開口部は、電気的な接続部 14 を形成する領域に形成され、かつ電極 2 の一部を露出させる。

【0057】次に、貫通穴 4 から電極 2 の露出部分上に至るまで、無電解メッキのための触媒を付与する。ここでは、触媒としてパラジウムを用いる。触媒の形成方法として、例えば半導体ウエハ 5 をパラジウムとスズを含む混合溶液に浸し、その後、塩酸などの酸で処理することによってパラジウムのみを設けてもよい。あるいは、半導体ウエハ 5 を塩化スズ溶液に浸すことによってスズイオン（還元剤）を吸着させ、その後、塩化パラジウム溶液に半導体ウエハ 5 を浸して、スズイオン（還元剤）によりパラジウムイオンを還元しパラジウム核（触媒）を析出させてもよい。

【0058】あるいは、触媒を、インクジェット方式によって直接的に設けてもよい。インクジェット方式によれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつインクを無駄なく経済的に設けることが可能である。インクジェットヘッドは、例えばインクジェットプリンタ用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたバブルジェット（登録商標）タイプ等が使用可能であり、吐出面積および吐出パターンは任意に設定することが可能である。これによって、レジストパターンニング工程及びレジスト剥離工程を行うことなく、また全面に金属層を形成する場合はエッチング工程を行うことなく電気的な接続部を形成することが可能になる。

【0059】次いで、半導体ウエハ 5 の能動面 B 側と非能動面 A 側のレジストを剥離する。レジストを剥離することによって、電気的な接続部を形成したい領域のみに触媒を設けることができる。レジストの剥離のときに、

紫外線を照射してもよく、弱アルカリ性の溶液に浸してレジストを剥離してもよい。これによって容易かつ確実にレジストを剥離することができる。

【0060】なお、ここではレジストをパターン化した後に触媒を設け、その後にレジストを剥離することによって、触媒を電気的な接続部の形成領域に露出させているが、これに限るものではない。例えば、触媒を全面に設けた後に、レジストを電気的な接続部の形成領域を除いてパターン化して設けることによって、結果的に電気的な接続部の形成領域に触媒を露出させてもよい。この場合は、電気的な接続部の形成を終えた後にレジストを剥離する。

【0061】次に、触媒が露出する領域に、無電解メッキによって前述の導電層 8 を形成する。なお、触媒は、貫通穴 4 の内壁面（図 10 (b) の例では絶縁膜 10 の表面）と、半導体ウエハ 5 の能動面 B 側及び非能動面 A 側と、に設けられている。したがって、導電層 8 は、半導体ウエハ 5 の能動面 B 側と非能動面 A 側とを貫通穴 4 を介して連続的に形成される。また、導電層 8 は、電極 2 上に積層される。

【0062】導電層 8 の材料として、Ni、Au、Ni + Au、Cu、Ni + Cu、Ni + Au + Cu のいずれかを用いることができる。例えば、銅メッキ液を使用し、触媒であるパラジウムを核として溶液中の銅イオンを還元し、銅（導電層 8）を析出する。なお、導電層 8 を形成するための導電材料として、複数の異種の金属（例えば Ni + Cu、Ni + Au + Cu）を用いてもよく、これによって複数層で導電層 8 を形成してもよい。

【0063】無電解メッキのために、弱アルカリ性の銅メッキ溶液を用いてもよい。弱アルカリ性（pH 9 付近）の銅メッキとして例えば、PB-570MU、PB-570A、PB-570B、PB-570C、PB-570S を混合してなる PB-570（メーカー名：荏原ユージーライト株式会社）を用いてもよい。これによれば、銅メッキ液が弱アルカリ性であるので、例えば電極 2 がアルミニウムであってもそれに与える損傷を少なくすることができる。

【0064】あるいは、電極 2 の表面に図示しない導電層を形成して電極 2 を保護すれば、強アルカリ性の溶液の使用も可能となる。導電層 8 は一層であっても複数層であってもよい。例えば、導電層 8 をニッケルと金との二層で形成してもよい。導電層 8 をニッケルで形成する方法として、予め、電極 2 上にジンケート処理を施してアルミニウム上の表面を亜鉛に置換し、その後に無電解ニッケルメッキ液中に浸漬し、亜鉛とニッケルの置換反応を経てニッケルを堆積してもよい。もしくは、アルミニウムを、アルミニウム上のみに選択的に吸着するパラジウム溶液に浸し、その後無電解ニッケルメッキ液中に浸し、パラジウムを核としてニッケルの皮膜を析出させてもよい。導電層 8 をニッケルのみで形成してもよい

が、さらに無電解金メッキ液中に浸し、ニッケルの表面にさらに金の皮膜を形成してもよい。金の皮膜を形成することで導電層 8 との電気的接続をさらに確実にすることができる。

【0065】前述した例は全て湿式法（めっき）を用いた導電層 8 の形成方法であるが、その他の形成方法として従来行われている乾式法（スパッタなど）を用いた方法、または乾式法と湿式法を組み合わせた方法を採用してもよい。

10 【0066】なお、能動面 B 側の電気的な接続部 14 と、非能動面 A 側の電気的な接続部となる台座 22 とは、導電層を厚く（例えば約 5 μm 以上）形成することが好ましい。

【0067】以上の工程により導電層 8 が形成され、導電層 8 の一部が非能動面 A において再配置配線 18 を形成し、再配置配線 18 の末端がポリイミド等の樹脂で形成された応力緩和層 20 の表面を覆い、この部分がハンダボールを形成するための台座 22 となる。

20 【0068】ハンダボールの形成工程は、まず半導体ウエハ 5 の非能動面側の全面に図 11 (a) に示すように、感光性のソルダレジスト層 26 を塗布により形成する。

【0069】そして、露光、現像及び焼成処理を行って、図 11 (b) に示すように、ソルダレジスト層のうち、台座 22 を覆っている部分の領域を除去する。こうして、残されたソルダレジスト層 26 は、酸化防止膜として、また最終的に半導体装置 1（図 4）となったときの保護膜としてや、更には防湿性の向上を目的とした保護膜となる。

30 【0070】その後、図 11 (c) に示すように、台座 22 の上に、外部電極となるハンダボール 24 を形成する。ハンダボール 24 の形成は、まず台座 22 の上に、ハンダボールとなるハンダを厚層状に形成する。このハンダの厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダの層は、電解メッキや印刷等により形成される。その後、ウェットバックによって半球以上のボール状にして、ハンダボール 24 とする。ここで、ウェットバックとは、ハンダ材を外部電極形成位置に形成した後リフローさせて略半球状のパンプを形成することをいう。

【0071】以上のようにして、図 1 に示す複数の半導体チップ形成部 3 すなわちベース 6 を有する半導体ウエハ 5 が得られる。そして、このようにして形成された半導体ウエハ 5 の半導体チップ形成部 3 によれば、これが個片に切断され最終的に半導体装置 1（図 4）となったときに、樹脂からなる応力緩和層 20 によって、回路基板（図示せず）とベース 6 との間の熱膨張係数の差による応力が緩和される。

50 【0072】半導体装置 1 を製造する手順は、まず図 1 に示す半導体ウエハ 5 の各半導体チップ形成部 3 を、L

S1 テスタとウエハプローバを用いて電気的特性検査を行い、良否を判定し、不良半導体チップ形成部に、図2のように“BAD”マーク3aを付ける。“BAD”マーク3aのマーキングの方法としては、インクまたはレーザーを用いる方法や、ウエハマップ（コンピュータが良品か不良品かの情報を記憶）を利用する。

【0073】次いで、良品と判定された半導体チップ形成部3の能動面Bのみに、図3及び図4に示すように個片の他の半導体チップ9を、その非能動面aを半導体チップ形成部3の能動面Bに向けさせた状態で積層し、図4に示すようにダイボンダ剤11によって固定してから、個片の他の半導体チップ9の能動面bの電極13と半導体チップ形成部3の能動面Bの接続部14との間をワイヤボンディングにより電氣的に接続する。その後、ワイヤボンディング部の保護のために、樹脂モールドによる保護層15を形成し、ダイシングラインに沿って半導体ウエハ5をダイシングすることで、図4に示す半導体装置1を得る。

【0074】このように、本実施形態においては、半導体ウエハ5の良品と判定された各チップ形成部3すなわちベース6にのみ個片の他の半導体チップ9を積層し、電氣的に接続している。したがって、不良品の半導体チップ形成部に個片の他の半導体チップが積層されることがなく、無駄が無くなり、かつ歩留まりも向上する。

【0075】また、各半導体チップ形成部3を個片に切断する前の半導体ウエハ5の段階で、図3のように個片の他の半導体チップ9の積層を行うようにしているので、製造工程が簡略化される。

【0076】実施形態2. 図5は本発明の第2実施形態に係る半導体装置を拡大して示す断面図で、図3のように個片の他の半導体チップ積層後の各半導体チップ形成部を個片に切断して得られたものであり、図中、前述の第1実施形態の図4と同一部分には同一符号を付してある。なお、説明にあたっては、前述の図1乃至図3を参照するものとする。

【0077】本実施形態に係る半導体装置100も三次元実装型のもので、半導体ウエハ5の良品と判定された半導体チップ形成部3の能動面Bのみに、個片の他の半導体チップ9を、その能動面bを半導体チップ形成部3の能動面Bに向けさせた状態で積層し、個片の他の半導体チップ9の能動面bの各電極13と、半導体ウエハ5の半導体チップ形成部3の能動面Bに再配置配線により形成された各接続部14aとを、それぞれパンプ101によって電氣的に接続した後、ダイシングラインに沿って半導体ウエハ5をダイシングすることで得られたものであり、それ以外の構成、及びベース6の作成手順については、前述の図1乃至図4、及び図8乃至図11で説明した内容を適用することができる。

【0078】本実施形態においても、半導体ウエハ5の良品と判定された各半導体チップ形成部3にのみ個片の

他の半導体チップ9を積層し電氣的に接続している。したがって、不良品の半導体チップ形成部に個片の他の半導体チップが積層されることがなく、無駄が無くなり、かつ歩留まりが向上する。

【0079】また、個片の他の半導体チップ9の能動面bの各電極13と、ベース6の各接続部14aとを、それぞれパンプ101によって電氣的に接続するエリアアレイ型CSP（Chip Scale/Sie Package）をスタック構造に採用している。したがって、三次元実装の上、電極間ピッチの微細化が容易となり、パッケージの回路の更なる微細化、多ピン化、小型化を可能にすることができる。

【0080】また、各半導体チップ形成部3を個片に切断する前の半導体ウエハ5の段階で、図3のように個片の他の半導体チップ9の積層が行われるので、製造工程が簡略化される。

【0081】実施形態3. 図6は本発明の第3実施形態に係る半導体装置を拡大して示す断面図で、図3のように個片の他の半導体チップ積層後の各半導体チップ形成部を個片に切断して得られたものであり、図中、前述の第1実施形態の図4および前述の第2実施形態の図5と同一部分には同一符号を付してある。なお、説明にあたっては、前述の図1乃至図3を参照するものとする。

【0082】本実施形態に係る半導体装置200も三次元実装型のものであるが、半導体ウエハ5の半導体チップ形成部3の能動面B側に、応力緩和層20と、再配置配線18aによる台座22と、ソルダレジスト層26からなる保護膜と、ハンダボール24を形成するとともに、半導体ウエハ5の良品と判定された半導体チップ形成部3の非能動面Aの面内に複数の個片の他の半導体チップ9a、9b、9cを積層している点で前述の第1及び第2実施形態のものと異なっている。

【0083】これを更に詳述すると、半導体ウエハ5の良品と判定された半導体チップ形成部3の能動面Bには、再配置配線により複数の接続部14a、14bが形成されており、図の左側に位置する接続部14a、14b上には、前述の第2実施形態の図5で説明したと同様の個片の他の半導体チップ9cがその能動面bを半導体チップ形成部3の非能動面Aに向けさせた状態で積層され、パンプ101によって電氣的に接続されている。

【0084】また、図の右側に位置する接続部14a、14b上には、前述の第1実施形態の図4で説明したと同様の個片の他の半導体チップ9aがその非能動面aを半導体チップ形成部3の非能動面Aに向けさせた状態で積層され、ダイボンダ剤11によって固定されている。また個片の他の半導体チップ9aには、その能動面bに両サイドに複数の電極13aがそれぞれ形成されているとともに、その能動面b内の内側に複数の電極13bが設けられていて、その両サイドの各電極13aと半導体チップ形成部3の非能動面Aの図の右側に形成されてい

る接続部 14 a, 14 b との間がワイヤボンディングにより電氣的に接続されている。

【0085】更に、個片の他の半導体チップ 9 a の内側に、その複数の電極 13 b 上に位置させて個片の更に他の半導体チップ 9 b がその能動面 b を半導体チップ 9 a の能動面 b に向けた状態で積層され、これら半導体チップ 9 a, 9 b がパンプ 101 によって電氣的に接続されている。

【0086】そして、このように半導体ウエハ 5 の半導体チップ形成部 3 の能動面 B 上に、複数の個片の他の半導体チップ 9 a, 9 b, 9 c を積層し、電氣的に接続した後、ダイシングラインに沿って半導体ウエハ 5 をダイシングすることで、半導体装置 200 が得られるようになっている。それ以外の構成、及びベース 6 の作成手順については、前述の図 1 乃至図 5、及び図 8 乃至図 11 で説明した内容を適用することができる。

【0087】このように、本実施形態においては、半導体ウエハ 5 の良品と判定された各チップ形成部 3 の面内すなわち非能動面 A の面内に、複数の個片の他の半導体チップ 9 a, 9 c を積層し、更に個片の他の半導体チップ 9 a 上に個片の更に他の半導体チップ 9 b を積層し、これらを電氣的に接続している。したがって、不良品の半導体チップ形成部に個片の他の半導体チップが積層されることがなく、無駄が無くなり、かつ歩留まりが向上するとともに、更なる高密度実装が可能となる。

【0088】また、各半導体チップ形成部 3 を個片に切断する前の半導体ウエハ 5 の段階で、図 3 のように個片の他の半導体チップ 9 の積層が行われるので、製造工程が簡略化される。

【0089】実施形態 4. 図 7 は本発明の第 4 実施形態に係る半導体装置を拡大して示す断面図で、図 3 のように個片の他の半導体チップ積層後の各半導体チップ形成部を個片に切断して得られたものであり、図中、前述の第 2 実施形態の図 5 と同一部分には同一符号を付してある。なお、説明にあたっては、前述の図 1 乃至図 3 を参照するものとする。

【0090】本実施形態に係る半導体装置 300 も三次元実装型のものであるが、最終的にベース 6 a となる、半導体ウエハ 5 の良品と判定されたチップ形成部 3 の能動面 B のみに、第 2 の半導体ウエハの良品個片からなる他の半導体チップ 6 b を、その能動面 B を半導体チップ形成部 3 の能動面 B に向けさせた状態で積層し、この個片の他の半導体チップ 6 b の非能動面 A 上に、更に個片の他の半導体チップ 9 を、その能動面 b を半導体チップ 6 b の非能動面 A に向けさせた状態で積層し、個片の半導体チップ 9 の能動面 b の各電極 13 と、個片の半導体チップ 6 b の非能動面 A に再配置配線により形成された各接続部 14 とを、それぞれパンプ 101 によって電氣的に接続した後、ダイシングラインに沿って半導体ウエハ 5 をダイシングすることで得られたものである。

【0091】第 2 の半導体ウエハの良品個片からなる他の半導体チップ 6 b は、半導体ウエハ 5 の半導体チップ形成部 3 と同様な貫通穴 4、及び貫通穴 4 の内壁面を含む導電層 8 の一部に形成した電氣的な接続部 14 を有するが、応力緩和層を有しない構成となっており、半導体ウエハ 5 の半導体チップ形成部 3 の能動面 B 側の導電層 8 と個片の他の半導体チップ 6 b の能動面 B 側の導電層 8 とが互いに重ね合わせられ、加圧と加熱を加えることで金属接合されている。なお、ここでは半導体チップ形成部 3 上に、第 2 の半導体ウエハの良品個片からなる他の半導体チップ 6 b を 1 層積層しているが、これに限るものでなく、2 層あるいはそれ以上積層してもよく、いずれの場合でも、貫通穴 4 の内壁面を含む導電層 8 によって、互いの電氣的接続が容易となっている。それ以外の構成、及びベース 6 と個片の他の半導体チップ 6 b の作成手順については、前述の図 1 乃至図 4、及び図 8 乃至図 11 で説明した内容を適用することができる。

【0092】このように、本実施形態においても、半導体ウエハ 5 の良品と判定された各半導体チップ形成部 3 にのみ個片の他の半導体チップ 6 b, 9 を積層し電氣的に接続している。したがって、不良品の半導体チップ形成部に個片の他の半導体チップ 6 b, 9 が積層されることがなく、無駄が無くなり、かつ歩留まりが向上するとともに、更なる高密度実装が可能となる。

【0093】また、各半導体チップ形成部 3 を個片に切断する前の半導体ウエハ 5 の段階で、図 3 のように個片の他の半導体チップ 9 の積層が行われるので、製造工程が簡略化される。

【0094】なお、前述の第 4 実施形態では、応力緩和層 20 を有する外部電極すなわちハンダボール 24 をベース 6 a の非能動面 A に形成し、ベース 6 a の能動面 B 上に第 2 の半導体ウエハの良品個片からなる他の半導体チップ 6 b の能動面 B を対向させて積層し、この個片の他の半導体チップ 6 b の非能動面 A 上にさらに個片の他の半導体チップ 9 を積層するようにしたものを例に挙げて説明したが、これに限るものでなく、次のような各種の形態を採らせることもできる。

【0095】①応力緩和層を有する外部電極すなわちハンダボールをベースの非能動面に形成し、このベースの能動面上に第 2 の半導体ウエハの良品個片からなる他の半導体チップの非能動面を対向させて積層し、この個片の他の半導体チップの能動面上にさらに個片の他の半導体チップを積層する。

【0096】②応力緩和層を有する外部電極すなわちハンダボールをベースの能動面の電極の少なくとも一部を避けるように形成し、このベースの非能動面上に第 2 の半導体ウエハの良品個片からなる他の半導体チップの能動面を対向させて積層し、この個片の他の半導体チップの非能動面上にさらに個片の他の半導体チップを積層する。

【0097】③応力緩和層を有する外部電極すなわちハンダボールをベースの能動面の電極の少なくとも一部を避けるように形成し、このベースの非能動面上に第2の半導体ウエハの良品個片からなる他の半導体チップの非能動面を対向させて積層し、この個片の他の半導体チップの能動面上にさらに個片の他の半導体チップを積層する。

【0098】また、前述の第4実施形態では、個片の他の半導体チップ9の能動面bを第2の半導体ウエハの良品個片からなる他の半導体チップ6b上に積層し、バン
10 プ101によって電氣的に接続するようにしたものを例に挙げて説明したが、これに限るものでなく、例えば個片の他の半導体チップの非能動面を第2の半導体ウエハの良品個片からなる他の半導体チップ上にダイボン
ド剤により固定するとともに、この個片の他の半導体チップの能動面の電極と第2の半導体ウエハの良品個片からなる他の半導体チップ側の電極とをワイヤボンディングにより接続し、ワイヤボンディング部を保護する保護層を設けるようにしてもよい。

【0099】また、第2の半導体ウエハの良品個片から
20 なる他の半導体チップの面内に、前述の図6のように複数の個片の他の半導体チップを積層してもよく、さらに個片の他の半導体チップを複数層積層してスタック構造としてもよい。

【0100】

【発明の効果】以上述べたように、本発明によれば、複数の半導体チップ形成部を備えた半導体ウエハを用意し、それぞれの前記半導体チップ形成部について電氣的
30 特性検査を行い、良品部分または不良品部分の判定を行い、良品部分と判定された各半導体チップ形成部に、少なくとも一つの個片の他の半導体チップを電氣的に接続する。このため、不良品の半導体チップ形成部に個片の他の半導体チップが積層されることがなく、無駄が無くなり、かつ歩留まりが向上した。さらに各半導体チップ形成部を個片に切断する前の半導体ウエハの段階で個片の他の半導体チップの積層するようにしたので、工程が簡略化された。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る半導体装置の製

造工程を示すベースとなる複数の半導体チップ形成部を有する半導体ウエハの平面図である。

【図2】 第1実施形態に係る半導体装置の製造工程を示すベースとなる複数の半導体チップ形成部の電氣的特性検査を行って不良部分に“BAD”マークを付けた状態の半導体ウエハの平面図である。

【図3】 第1実施形態に係る半導体装置の製造工程を示すベースとなる良品と判定された各半導体チップ形成部に個片の他の半導体チップを積層し電氣的に接続した状態の半導体ウエハの平面図である。

【図4】 第1実施形態に係る半導体装置を拡大して示す断面図である。

【図5】 本発明の第2実施形態に係る半導体装置を拡大して示す断面図である。

【図6】 本発明の第3実施形態に係る半導体装置を拡大して示す断面図である。

【図7】 本発明の第4実施形態に係る半導体装置を拡大して示す断面図である。

【図8】 本発明に係る半導体装置のベースの製造方法を示す工程図である。

【図9】 本発明に係る半導体装置のベースの製造方法を示す工程図である。

【図10】 本発明に係る半導体装置のベースの製造方法を示す工程図である。

【図11】 本発明に係る半導体装置のベースの製造方法を示す工程図である。

【符号の説明】

1, 100, 200, 300 半導体装置

2 電極

3 半導体チップ形成部

3a “BAD”マーク

4 貫通穴

5 半導体ウエハ

6b, 9, 9a, 9b, 9c 個片の他の半導体チップ

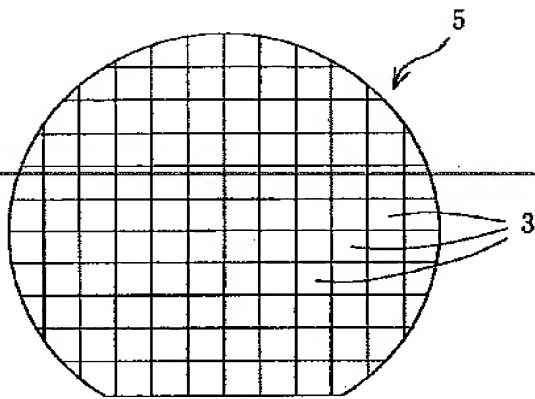
8 導電層

15 保護層

20 応力緩和層

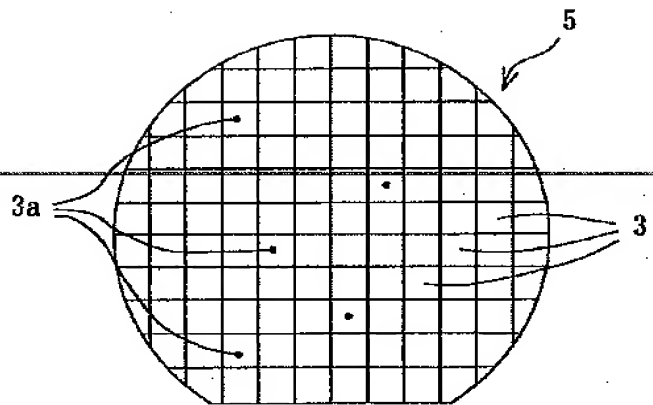
24 ハンダボール (外部電極)

【図1】



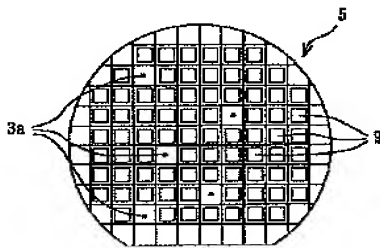
3: 半導体チップ形成部
5: 半導体ウエハ

【図2】



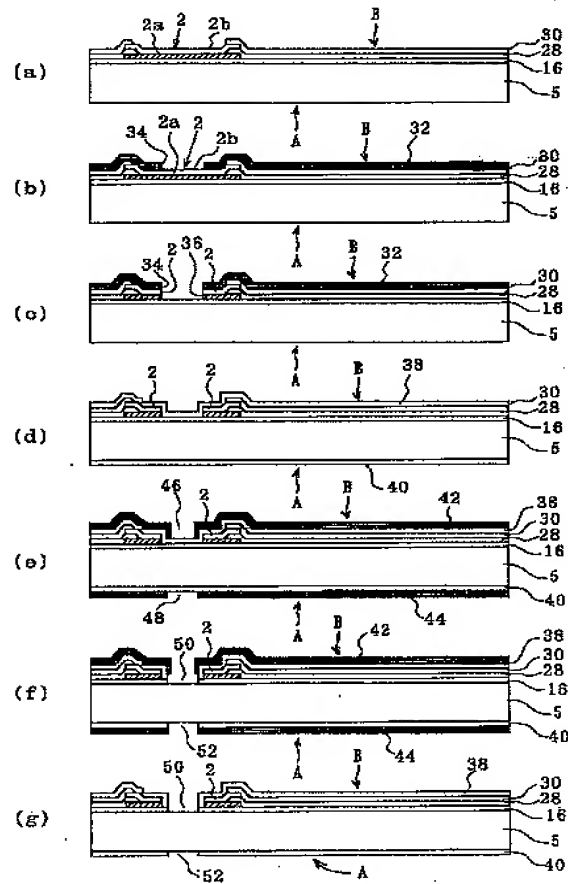
3a: "BAD" マーク

【図3】

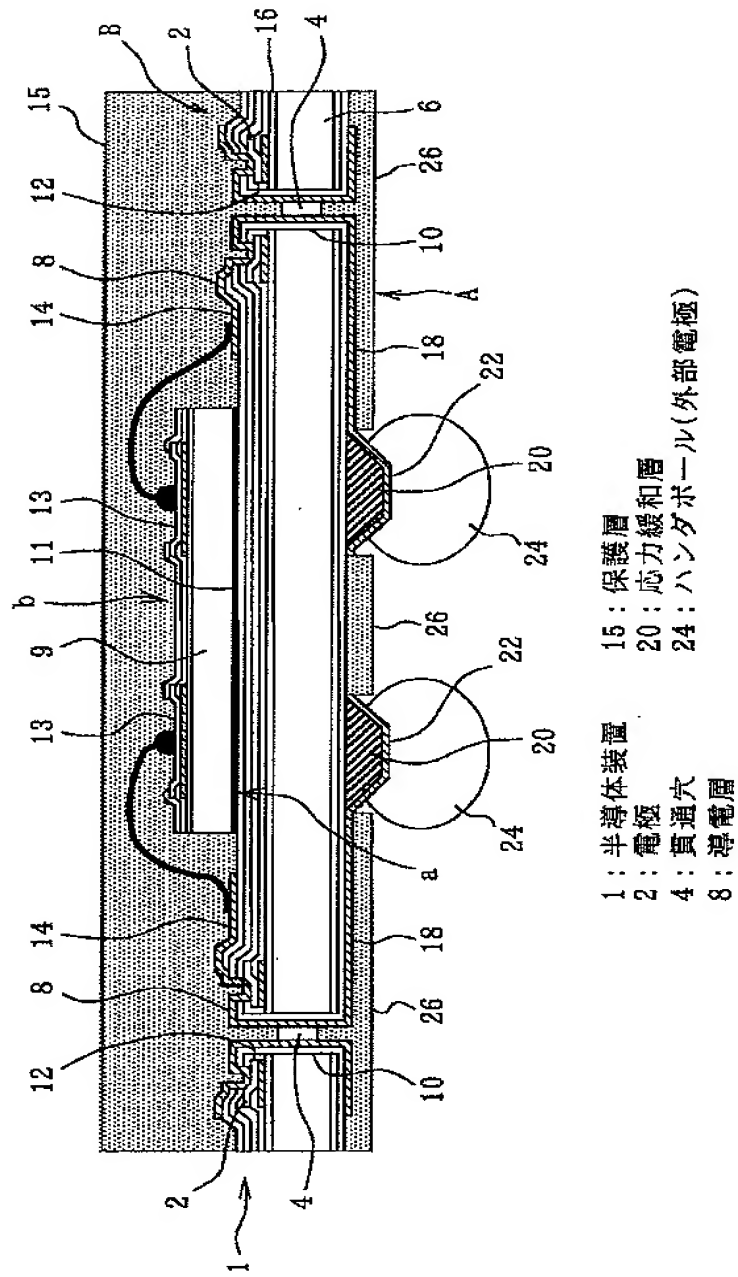


9: 個片の他の半導体チップ

【図8】

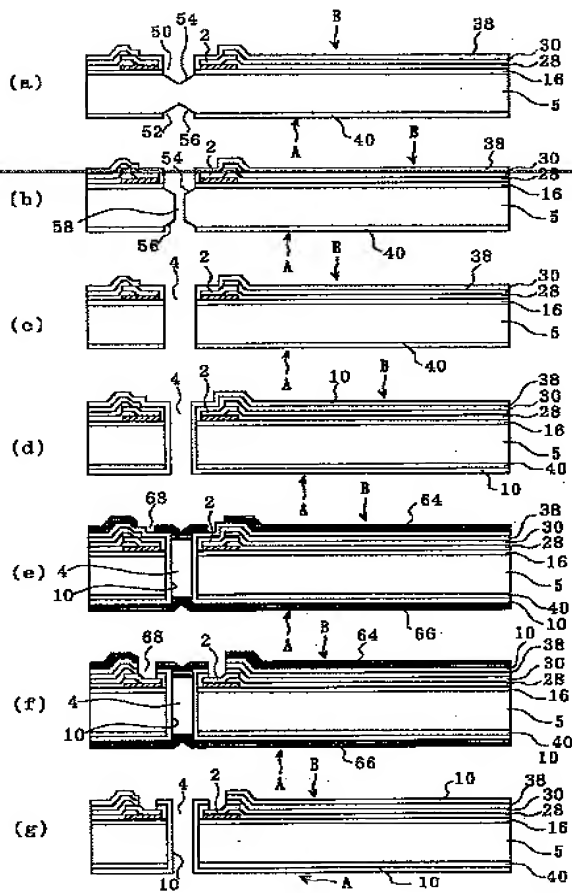


【図4】

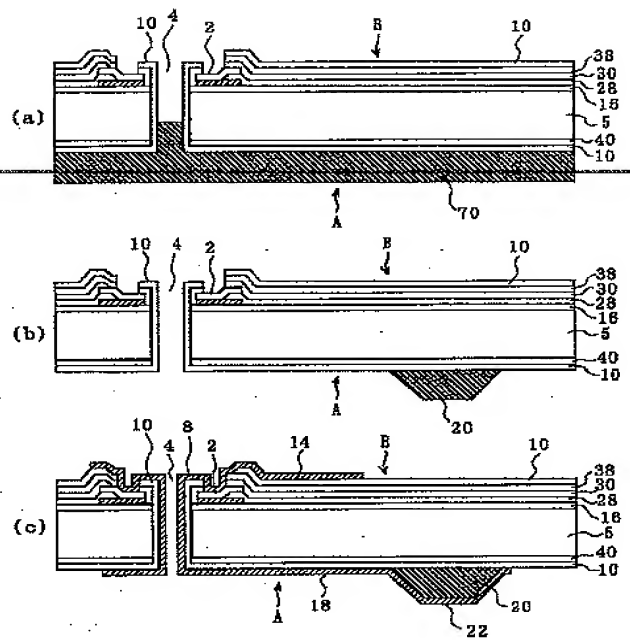


6b: 個片の他の半導体チップ
300: 半導体装置

【図 9】



【図 10】



【図 11】

